

# ESTUDIO DEL MALLADO Y LA DISCRETIZACIÓN EN LA SIMULACIÓN 3D DE UN TRANSISTOR TRW GaAs-HBT

*Antonio J. García-Loureiro y Tomás F. Pena*

Departamento de Electrónica y Computación.  
Universidad de Santiago de Compostela.  
antonio,tomas@dec.usc.es

*Juan M. López-González y Lluís Prat*

Departament d'Enginyeria Electrónica.  
Universidad Politècnica de Catalunya.  
jmlopezg@eel.upc.es

## ABSTRACT

In this work some numerical aspect of the 3D simulation of a HBT device are presented. We have analyzed the necessary preprocessing to simulate a GaAs gradual HBT device and we have included these information on a 3D parallel simulator, which can study BJT and HBT transistors.

## 1. INTRODUCCIÓN

Los simuladores de dispositivos semiconductores han jugado y seguirán jugando un papel muy importante en el estudio y desarrollo de nuevos dispositivos. Su uso permite reducir considerablemente los tiempos y el coste de desarrollo de nuevos dispositivos, así como ayudar a una mejor comprensión de la física de dichos elementos. Para simular estos dispositivos hemos desarrollado un simulador tridimensional paralelo basado en el modelo de arrastre-difusión. Este programa ha sido codificado usando los lenguajes C y Fortran junto con la librería de pase de mensajes MPI, lo cual garantiza la portabilidad del código. Este simulador puede ejecutarse desde estaciones de trabajo, redes de PC y supercomputadores como el CRAY T3E, AP-3000 de Fujitsu o SGI, en los cuales ha sido ejecutado y testeado.

Un aspecto fundamental en el proceso de simulación es la parte del mallado de la estructura del dispositivo a simular, sobre la cual se realizará la discretización de las ecuaciones del modelo utilizado. En este trabajo vamos a estudiar estos aspectos sobre un transistor de GaAs desarrollado por la empresa TRW Inc. Este transistor es un dispositivo bipolar de heterounión gradual (HBT). Estos dispositivos se caracterizan porque el material de la región de emisor tiene un *gap* mayor que el de la zona de base. Debido a esta característica presentan grandes ventajas en el campo de las aplicaciones de alta frecuencia, entre las que podemos destacar alta densidad de corriente y de potencia, alta frecuencia de corte, alta transconductancia, etc.

En la sección 2 analizamos el modelo físico y matemático que hemos utilizado. A continuación en la sección 3 indicamos las características del dispositivo HBT de GaAs que hemos simulado. Por último indicamos las principales conclusiones de este trabajo.

## 2. MODELO FÍSICO Y MATEMÁTICO

El modelo de arrastre-difusión se basa en la resolución de las ecuaciones de Poisson y de continuidad de huecos y de electrones en todo el dispositivo [1] [2]. Hemos usado una formulación específica para el cálculo de las concentraciones de huecos y electrones usando la estadística de Fermi-Dirac, la cual es simple y compacta [3]. Además, este puede incluir diferentes fenómenos que afectan a la concentración a altos dopados como cambios en los niveles de energía y variaciones en la densidad efectiva de estados.

Para poder resolver las ecuaciones anteriores hemos aplicado el método de elementos finitos (MEF) [4] sobre una malla de tetraedros no estructurada, la cual nos permite estudiar dispositivos con geometrías complejas de modo más eficiente que otros métodos como el de diferencias finitas. La calidad de los tetraedros que forman la malla va a afectar en gran medida a la parte de resolución de los sistemas de ecuaciones lineales. Cuanto peor calidad tengan esos elementos y mayor número de los mismos tengamos, más lento será el proceso de resolución. Con vistas a obtener una buena calidad hemos mallado la estructura que conforma el dispositivo usando el programa QMG [5]. Usando este programa hemos situado mas nodos en las zonas donde las variables que nos interesa obtener presentan mas gradiente, que corresponde a las fronteras entre las regiones de emisor/base y de base/colector.

En este tipo de simulaciones, la mayor parte del tiempo de computación es empleado en la parte de resolución de los sistemas de ecuaciones lineales que surgen de la discretización y posterior linealización de las ecuaciones que definen el modelo. Con el fin de reducir en la medida de lo posible el tiempo de computación y los requerimientos de memoria hemos optado por aplicar métodos de descomposición en dominios para resolver en paralelo estos sistemas. Para ello, es preciso particionar la malla original que define el dominio del problema en tantos subdominios como procesadores deseemos utilizar. Para realizar esto hemos usado el programa METIS [6], el cual también ha sido utilizado para reordenar las matrices de dichos sistemas de ecuaciones. Hemos empleado diversas funciones de la librería de resolución de sistemas de ecuaciones dispersos PPARSLIB [7] en la parte del resolutor de nuestro simulador. Tras estudiar los diferentes métodos que existen hemos preseleccionado los que mejor se adaptan a cada situación.

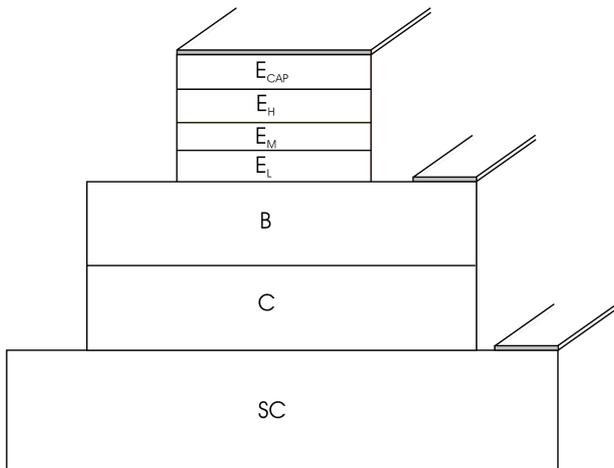


Figura 1. Estructura del dispositivo.

### 3. TRANSISTOR HBT DE GaAs

El transistor que hemos simulado está representado en la figura 1. El material que forma cada una de las regiones, su concentración y su espesor están indicados en la tabla 1. Destacar que la región de emisor está formada por cuatro subregiones en las cuales la fracción molar del aluminio,  $x$ , varía de tal manera que nunca se producen discontinuidades.

	Materiales	$x$	Espesor(Å)	Dopado
$E_{CAP}$	GaAs		750	$(n^+) 7 \cdot 10^{18}$
$E_H$	$Al_xGa_{1-x}As$	0.3-0.0	300	$(n) 5 \cdot 10^{17}$
$E_M$	$Al_xGa_{1-x}As$	0.3	1200	$(n) 5 \cdot 10^{17}$
$E_L$	$Al_xGa_{1-x}As$	0.0-0.3	300	$(n) 5 \cdot 10^{17}$
B	GaAs		1500	$(p) 1 \cdot 10^{19}$
C	GaAs		7000	$(n^-) 7.5 \cdot 10^{19}$
SC	GaAs		6000	$(n^+) 5 \cdot 10^{18}$

Tabla I. Dimensiones y perfil de dopado del dispositivo.

Utilizando el programa QMG hemos obtenido el mallado que se representa en la figura 2, utilizando 25877 nodos y 139171 elementos tetraédricos. Si definimos el factor de calidad de la malla, respecto a un elemento, como el cociente entre la longitud de la arista de mayor longitud frente a la altura del tetraedro se obtiene un valor de 48,09. Dicha malla de elementos ha sido particionada para poder ejecutarla en 3 procesadores, de tal manera que cada uno de los nodos va a pertenecer a uno de los subdominios, aunque existen algunos nodos frontera que son compartidos por varios subdominios. Hemos representado en la figura 2 cada uno de esos subdominios. Como puede comprobarse la mayor parte de los nodos están en la región de emisor y base.

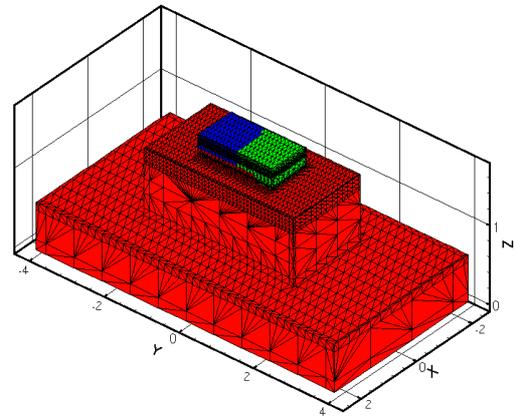


Figura 2. Mallado y representación de los subdominios.

### 4. CONCLUSIONES

En el desarrollo de simuladores de dispositivos uno de los aspectos fundamentales es la parte de mallado y de discretización del dispositivo a simular, las cuales llegan a condicionar totalmente otras partes del programa de simulación. En este trabajo mostramos sobre un transistor real de GaAs desarrollado por la empresa TRW, los resultados que hemos alcanzado usando una malla de elementos tetraédricos no estructurada junto con el método de elementos finitos.

AGRADECIMIENTOS: Este trabajo ha sido financiado por el Ministerio de Ciencia y Tecnología y por la Xunta de Galicia con los proyectos TIC2000-1026 y PGIDT99PXI20604A.

### 5. REFERENCIAS

- [1] P. A. Markowich, *The Stationary Semiconductor Device Equations*, Springer-Verlag, 1986.
- [2] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, Springer, 1984.
- [3] Juan M. López-González, *Contribución al estudio de los transistores bipolares de heterounión*, Tesis Doctoral, 1994.
- [4] J. Tinsley and Graham F. Carey, *Finite Elements*, Prentice-Hall, 1983
- [5] Stephen A. Vavasis, "QMG 1.1 Reference Manual.", Computer Science Department, Cornell University, 1996.
- [6] George Karypis and Vipin Kumar, "METIS: A software package for partitioning unstructured graphs, partitioning meshes, and computing fill-reducing orderings of sparse matrices", Univ. of Minnesota, November 1997.
- [7] Y. Saad, Gen-Ching Lo, and Sergey Kuznetsov, "PSPARLIB users manual: A portable library of parallel sparse iterative solvers", Technical report, Univ. of Minnesota, Depart. of Computer Science, 1997.