

DISEÑO DE UN MODULADOR/DEMULADOR BPSK COHERENTE PARA MODEM DE RED ELÉCTRICA DE BAJA TENSIÓN UTILIZANDO EL DSP TMS320C6701.

Rafael Boloix Tortosa

Área de Teoría de la Señal y Comunicaciones.
Departamento de Ingeniería Electrónica.
Universidad de Sevilla.
rboloix@viento.us.es

ABSTRACT

In this paper DSP TMS320C6701 based coherent BPSK modulator and demodulator are presented. The power and versatility of that family of Texas Instruments DSP has allowed us to develop a demodulator without need of any external synchronization or level meter circuitry, what makes it easily reconfigurable and useful for the accomplishment of tests that will lead us to the development of more complex and efficient power line modulation systems.

1. INTRODUCCIÓN

Existe un interés creciente sobre las posibilidades de utilización de las líneas eléctricas como canales de comunicación debido fundamentalmente a la amplia infraestructura existente y al alcance de la red eléctrica en cuanto a número de usuarios. Por este motivo se plantea la necesidad de realizar un profundo estudio de las líneas eléctricas para obtener modelos precisos del comportamiento del canal. Estudios sobre el ruido en la línea ya han sido, o están siendo, realizados y el siguiente paso será un análisis del efecto sobre transmisiones digitales: atenuación de la portadora, tasa de errores de bits, etcétera. Para iniciar el estudio de estos efectos, se han desarrollado un modulador y un demodulador BPSK coherente empleando dos placas de desarrollo M67 de Innovative Integration, que contienen un DSP de 32 bits TMS320C6701 de Texas Instruments y un conjunto de convertidores A/D y D/A de alta velocidad. La programación se ha realizado en C y ensamblador [1] empleando el entorno Code Composer Studio de Texas Instruments [2], que permite un control en tiempo real de la ejecución.

2. MODULADOR

El modulador desarrollado es tremendamente simple debido a que para nuestros estudios iniciales sólo necesitamos la transmisión de una serie de bits fija y conocida, que nos permita en recepción determinar los errores que se han cometido. El convertidor D/A extrae las muestras de una FIFO de 1 Kbyte de tamaño que el DSP va rellenando cuando ésta se vacía hasta la mitad, lo cual se indica con una interrupción. Los datos con los

que se rellena la FIFO se copian de dos tablas que contienen los valores de la portadora para los dos posibles símbolos: '1' y '0'. El DSP lee cada uno de los bits de la secuencia que se quiere enviar y tras el tiempo de símbolo especificado cambia el origen de datos de una a otra tabla. La frecuencia de la portadora se puede establecer controlando desde el DSP la base de tiempos que establece la tasa de salida de datos del convertidor D/A.

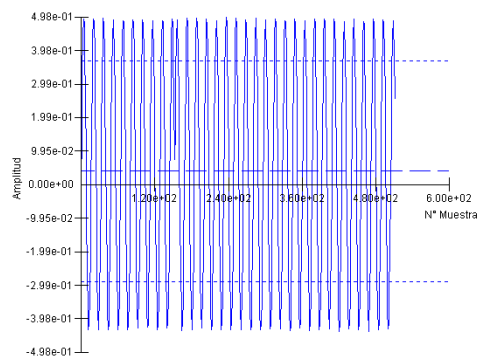


Figura 1. Portadora modulada.

3. DEMULADOR

Se ha desarrollado un demodulador coherente, es decir, necesita conocer la frecuencia y fase de la portadora y la tasa de símbolos. Debido a que los circuitos del modulador y del demodulador son idénticos y suponiendo una buena estabilidad de la base de tiempos de ambos, vamos también a suponer que el demodulador conoce la frecuencia de la portadora con total exactitud. Se ha comprobado que para la frecuencia de portadora que hemos utilizado (62500 Hz), la desviación encontrada es despreciable.

El convertidor A/D continuamente muestrea el canal y transfiere esas muestras en bloques de 512 al DSP. Para determinar el inicio de una transmisión el DSP calcula la amplitud de la señal a la frecuencia de la portadora, empleando para ello el algoritmo de Goertzel [3], y la compara con un umbral establecido (Fig. 2). Dicho algoritmo permite el cálculo de la FFT para una frecuencia dada de forma rápida, de este modo nos centramos en lo que sucede a la frecuencia de la portadora y se elimina la influencia del ruido a otras frecuencias. Cuando se considera que se ha iniciado una transmisión, se ponen en marcha los mecanismos para determinar la fase de la portadora y la tasa de símbolos.

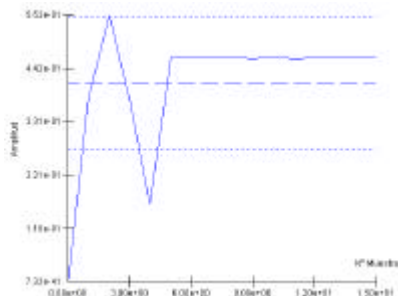


Figura 2. Respuesta del algoritmo de Goertzel al inicio de la transmisión.

3.1. Estimación de la fase

Las transmisiones que vamos a realizar suponen el envío de una secuencia con un número finito de símbolos. Si ese número no es muy elevado, podemos estimar inicialmente la fase y suponer que la desviación para los últimos símbolos va a ser despreciable. Existen diversos métodos para obtener una estimación inicial de la fase, siendo los más habituales el de los cruces por cero y el algoritmo one-shot. Como nuestro canal será muy ruidoso, descartamos el método de los cruces por cero y optamos por el algoritmo one-shot [4], en el cual, para una portadora $c(t)$ sin modular, la fase se estima empleando:

$$\hat{f} = \tan^{-1} \left(\frac{\int_{T_s} -c(t) \sin(2\pi f_c t) dt}{\int_{T_s} c(t) \cos(2\pi f_c t) dt} \right) \quad (1)$$

Los valores del seno y el coseno se encuentran disponibles en una tabla en memoria. Para disponer de la portadora sin modular se envía siempre en primer lugar una cabecera cuyos primeros bits son todos unos. Hemos comprobado que para el tiempo de símbolo utilizado (480 ms) el envío de dos unos es suficiente para una buena estimación de la fase (Fig.3).

3.2. Estimación de la tasa de símbolos.

La tasa de símbolos se supone en principio conocida, pero debido a desviaciones en el muestreo y especialmente a un conocimiento inexacto del inicio del primer símbolo, es necesaria una estimación y modificación dinámica. En primer lugar hay que intentar obtener el comienzo exacto del primer símbolo. Al iniciarse una transmisión, se genera una ráfaga de ruido que produce una oscilación en el valor de la amplitud obtenido del algoritmo de Goertzel. Cuando esa ráfaga termina y aparece la portadora, dicho valor se estabiliza (Fig.2). Se busca el instante en el que se obtiene el valor estable y se considera como el instante de comienzo del primer símbolo. Se inicia entonces la detección coherente empleando un correlador, considerando la fase estimada anteriormente, y se inicia un algoritmo Early-Late para la modificación dinámica del inicio de símbolo [4]. Dicho algoritmo consiste en calcular la respuesta del correlador un cierto número de muestras antes y después del instante T_s (inicio de nuevo símbolo), si el símbolo detectado es un uno y la

respuesta antes es mayor que la respuesta después, se debe retrasar el instante T_s para el siguiente símbolo, adelantándolo en caso contrario. Si el símbolo detectado es un cero, los desplazamientos son opuestos.

Empleando este sistema con una cabecera de 16 bits de unos y ceros alternados, se obtiene una buena aproximación al instante real de comienzo de bits (Fig.3). Tras la cabecera se mantiene el algoritmo pero los desplazamientos son mucho menores, oscilando en torno al punto óptimo para compensar las posibles desviaciones.

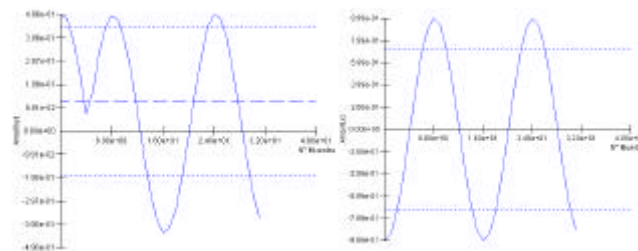


Figura 3. Inicio de símbolo estimado tras la cabecera (izquierda) y portadora en fase estimada (derecha).

4. CONCLUSIONES

En este trabajo se ha presentado un modulador y un demodulador BPSK para un MODEM de transmisión por la red eléctrica. Supone un esquema típico de una modulación/demodulación clásica, pero con la ventaja de utilizar en el demodulador un único dispositivo DSP, acompañado de los convertidores necesarios, que realiza tanto las funciones de demodulación propiamente dichas, como las funciones de detección de nivel y sincronización. Este esquema tan sencillo, basado en la versatilidad y potencia del DSP empleado, permite su utilización para la realización de las pruebas mencionadas, ya que puede ser modificado y adaptado a las necesidades que surjan simplemente mediante programación, sin necesidad de ningún cambio hardware. Así mismo, será la base de otros sistemas de modulación más complejos.

5. AGRADECIMIENTOS

Este trabajo se ha financiado con cargo al proyecto FEDER: 1FD97-0691.

6. REFERENCIAS

- [1] *TMS320C6000 Programmer's Guide*, Literature Number SPRU198D, Texas Instruments, 2000.
- [2] *TMS320C6000 Code Composer Studio Tutorial*, Literature Number SPRU301A, Texas Instruments, 1999.
- [3] Oppenheim, A. V., Schaffer, R. W., *Discrete-Time Signal Processing*, Prentice Hall, Englewood Cliffs, New Jersey, 1989.
- [4] Proakis, J. G., *Digital Communications*, Third Edition, McGraw-Hill, 1995.