

LINEALIZACIÓN MEDIANTE REALIMENTACIÓN DIGITAL CARTESIANA

Paloma García Ducar

Jesús de Mingo Sanz

Antonio Valdovinos Bardají

Departamento de I+D (TELTRONIC S.A.)

Departamento de Ingeniería Electrónica y

Departamento de Ingeniería Electrónica y

paloma@teltronic.es

Comunicaciones

Comunicaciones

Universidad de Zaragoza

Universidad de Zaragoza

mingo@posta.unizar.es

toni@posta.unizar.es

ABSTRACT

The study of a digital Cartesian loop transmitter as power amplifier linearization technique is presented. It is based on Cartesian loop architecture but introducing the advantages and possibilities on using digital solutions. The architecture stages and selected solutions are explained in detail.

1. INTRODUCCIÓN

El crecimiento de la demanda de servicios de comunicaciones móviles y el límite en el espectro de frecuencias disponibles ha forzado al uso de modulaciones más eficientes espectralmente. La mayoría de estas modulaciones eficientes en ancho de banda son modulaciones de envolvente no constante. Esto unido a las alinealidades de la cadena transmisora (principalmente al amplificador de potencia) producen una expansión en el espectro de la señal transmitida en los canales adyacentes, produciendo interferencias. Una posible solución para mejorar la linealidad del amplificador es el uso de amplificadores de potencia de clase A trabajando lejos de la saturación con un apropiado back-off, es decir en una zona muy lineal. Esto supone bajar considerablemente su eficiencia en potencia, lo que hace que esta solución no sea aconsejable para equipos con restrictivos requerimientos en la capacidad de la batería. La utilización de amplificadores de clase AB, B o C para obtener alta eficiencia en potencia presentan características poco lineales. Obligando a utilizar algún tipo de técnica de linealización. En este documento se presenta una solución a dicho problema, gracias al diseño de un transmisor mediante una técnica de realimentación digital cartesiana. Se han realizado rigurosas simulaciones en Matlab, evaluando varias alternativas y posteriormente se ha implementado con éxito el procesamiento digital que conlleva el diseño de esta realimentación digital cartesiana en un DSP (Digital Signal Processor) de Texas Instruments de la familia C54x. Se ha tenido especial cuidado en esta implementación en los aspectos de carga computacional y del tamaño de memoria necesario.

2. DEFINICIÓN

El transmisor basado en la realimentación digital cartesiana, consta de un lazo cartesiano, bien conocido en arquitecturas de transmisores lineales, pero con la particularidad del procesamiento digital de señal. El principio de funcionamiento del lazo de realimentación, se basa en la realimentación de la señal a la salida

del amplificador de potencia, previamente demodulada, y su sustracción con la señal banda base de entrada [1,2].

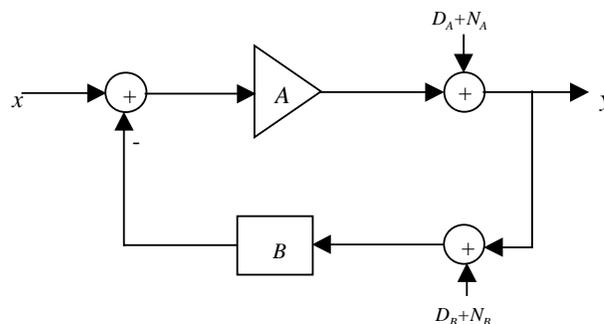


Figura 1. Modelo simplificado de realimentación cartesiana.

Las ventajas de un método digital sobre uno analógico es la versatilidad de los procesos en digital, donde los cálculos son más precisos y no existen desbalances entre diferentes caminos. Esto es muy importante en modulaciones digitales donde se trabaja con señales complejas y por lo tanto con las componentes I y Q. Posteriormente, veremos que una de las posibilidades que nos da el hacerlo en digital es el poder compensar efectos que se producen en la parte analógica. Así se ahorra en módulos analógicos y la precisión es mucho mayor. La principal etapa no lineal del transmisor, como ya se ha comentado, es el amplificador de potencia, pero también hay otras etapas como el modulador o el demodulador I/Q analógicos que presentan no linealidades y sobre todo desbalances entre ambas ramas. En el diseño de este transmisor se ha utilizado un DSP para realizar todo el procesamiento digital de señal que engloba el proceso de linealización del transmisor. Como principal novedad cabría destacar la realización de un modulador y un demodulador I/Q digital, lo que evitará el problema de desbalances anteriormente mencionado. El procesamiento digital de señal se puede dividir en tres bloques: en el primero se genera la señal modulada a transmitir, en el segundo se realizan los algoritmos pertenecientes a la rama directa y en el tercero los implicados en la rama realimentada. La modulación seleccionada es $\pi/4$ -DQPSK, usada en sistemas de comunicaciones digitales como el estándar europeo TETRA dedicado a radiocomunicaciones privadas. La generación de esta señal modulada consta de varios algoritmos: El primero genera una secuencia pseudo-aleatoria de bits (concretamente PN9), posteriormente estos bits son codificados y modulados con la modulación lineal anteriormente mencionada y filtrados por un filtro de raíz de coseno de realzado con un factor de roll-off de 0.35. La frecuencia de muestreo de este filtro (es decir, el número de muestras por símbolo que maneja) es también

un parámetro de suma importancia, pues determina la separación entre espectros alias en banda base, lo que a su vez determina la complejidad (selectividad) de realización del filtro reconstructor analógico del D/A. Este último hecho puede ser especialmente crítico en el caso de uso de NCO, pues el filtro reconstructor trabaja a más alta frecuencia, con lo que ello representa de complejidad tecnológica, a diferencia del caso de uso de VCO en cuyo caso la conversión D/A se realiza en banda base. También es un punto crítico el número de coeficientes del filtro, ya que determina la carga computacional. Después de un completo estudio en el diseño de este filtro, se resolvió que un valor adecuado de lóbulos secundarios es el de 14, siete lóbulos a cada lado del centro de simetría. Con ello se consigue niveles de lóbulos secundarios en la respuesta frecuencial del orden de 35 a 45 dB, dependiendo del valor concreto de número de muestras por símbolo. Ello resulta insuficiente, y se hace necesario el uso de un filtrado paso bajo adicional de longitud K que reduzca el nivel de estos lóbulos secundarios sin deteriorar apreciablemente la forma del pulso. Esto representa en la práctica un aumento de la longitud efectiva N_{ef} del pulso temporal coseno realizado global. Para el valor de muestras/símbolo del filtro conformador se toma 8 y para el segundo filtro paso-bajo interpolador, reductor de lóbulos secundarios, se toma un factor igual a 16, lo que proporciona un factor de sobremuestreo efectivo igual a 128 muestras/símbolo. El problema de esta elección es el número de operaciones y el retardo que introducen los filtros. Finalmente esta señal generada $\pi/4$ -DQPSK, con su componente en fase (I) y en cuadratura (Q) es introducida en el lazo cartesiano. El segundo bloque de procesamiento se realiza en la rama directa del lazo cartesiano. Las componentes I/Q provenientes de la etapa anterior son restadas de las señales I/Q provenientes de la rama realimentada. Después de esta substracción, las señales I/Q pasan por el filtro paso bajo del lazo cartesiano. El diseño de este filtro depende de las características del lazo cartesiano y es un parámetro muy importante en la estabilidad el lazo. Finalmente en la rama directa se lleva a cabo el modulador I/Q digital. Consta de un NCO (Numerical Control Oscillator) que genera la frecuencia del oscilador y de un modulador I/Q, que multiplica las señales I/Q por el coseno y seno generado por el NCO y las suma. El resultado es una señal real modulada paso-banda a la frecuencia fijada por el NCO y con una frecuencia de muestreo, F_m , 128 veces la velocidad de transmisión. Esta señal se envía al conversor D/A y una vez en analógico pasa a la cadena transmisora. El tercer bloque de procesamiento de señal se realiza en la rama realimentada del lazo cartesiano. Primero, se obtiene la señal del conversor A/D proveniente de la rama realimentada analógica del lazo cartesiano, con una frecuencia de muestreo igual a la de la rama directa (128 muestras por símbolo). Estas muestras corresponden a una señal real modulada paso-banda, convirtiéndose a banda base a través de un demodulador digital. Éste obtiene las componentes I/Q de la señal recibida, realizando un proceso inverso al que realiza el modulador digital. Las señales I/Q obtenidas se restan de las señales I/Q generadas inicialmente. Así se cierra el lazo cartesiano.

3. SIMULACIÓN E IMPLEMENTACIÓN

Las simulaciones del lazo digital cartesiano se han realizado en Matlab, donde se ha simulado tanto el procesamiento digital que posteriormente se implementa en un DSP como la parte

analógica del mismo. Principalmente se ha simulado el comportamiento del amplificador de potencia y el de los mezcladores de RF para pasar la señal a la frecuencia de salida deseada. También se ha tenido en cuenta el retardo total introducido por el lazo digital cartesiano y se ha realizado un estudio de como influyen estos factores en la linealización del transmisor. Resulta necesario incluir un elemento de ajuste de fase, que compense los desfases aparecidos entre la señal directa y la realimentada. En un sistema de realimentación por lazo cartesiano, este desfase se realiza en analógico mediante un desfasador variable aplicado al oscilador local que afecta al modulador y al demodulador de las ramas directa y realimentada. En este caso, gracias a que se realiza parte del algoritmo del lazo cartesiano en digital, se puede incluir este ajuste en el modulador digital, de tal manera que se compense el posterior desfase. Realizadas diversas simulaciones con esta solución se obtuvieron muy buenos resultados, incorporando un factor de desfase en el NCO. Finalmente, los procesos simulados han sido implementados en un DSP de coma fija (16 bits), teniendo en cuenta aspectos de carga computacional y de uso de memoria necesario. Sobre todo hay que tener en cuenta que los algoritmos realizados en la rama directa y en la realimentada del lazo cartesiano deben hacerse en tiempo real. Por ello la velocidad del cálculo debe ser tal que en el tiempo entre muestra y muestra $T_m=1/F_m$ se deben realizar todos los algoritmos de procesamiento digital. Esto implica que hay que optimizar al máximo la manera de implementar estos algoritmos y aprovechar las características que nos ofrece el DSP en cuanto a velocidad, instrucciones ...

4. CONCLUSIONES

Se ha realizado el estudio de la linealización de un transmisor mediante realimentación digital cartesiana, basándose en la idea de la linealización mediante realimentación cartesiana y se han introducido las ventajas y posibilidades que puede incorporar una solución digital. Las simulaciones realizadas nos han dado muy buenas expectativas de que pueda realizarse en un sistema real. La implementación de todo el procesamiento de señal que incorpora esta solución ha sido realizada satisfactoriamente en un DSP de coma fija, teniendo en cuenta principalmente aspectos de carga computacional. Finalmente queda pendiente probar este diseño en un sistema real.

4. REFERENCIAS

- [1] J. de Mingo, A. Valdovinos, F. Gutiérrez, "Cartesian Loop Transmitter for Tetra", IEEE VTC 1999-FALL, September, 1999, pp 1511-1515.
- [2] Bolorian M., McGeehan J.P, "The Frequency-Hopped Cartesina Feedback Linear Transmitter", IEEE Trans on Vehic. Tech., Vol. 45, No 4, November 1996, pp.688-706

Agradecimientos

Los autores desean agradecer a la Comisión Europea y a la CICYT la financiación de este trabajo mediante los proyectos TIC 99-0941 2FD97-1070, así como a la empresa TELTRONIC S.A.